

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-094963

(43)Date of publication of application : 07.04.1995

(51)Int.Cl.

H03F 3/217

(21)Application number : 05-234521

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 21.09.1993

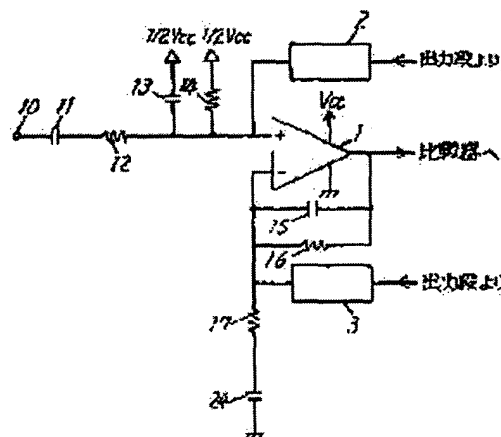
(72)Inventor : KONNO FUMIYASU

(54) PULSE WIDTH MODULATING AMPLIFIER

(57)Abstract:

PURPOSE: To provide a pulse width modulating amplifier capable of reducing output offset voltage and output noise and having excellent characteristics as to a pulse width modulating amplifier to be used for amplifying an output from an acoustic reproducing device.

CONSTITUTION: Since an AC amplifier is constituted by connecting a capacitor 24 to the minus terminal side resistor 17 of an operational amplifier 1 and connecting one end of the capacitor 24 to earth, offset voltage can be reduced up to a value peculiar to the amplifier 1 irrespectively of gain and higher-order noise can be reduced.



LEGAL STATUS

[Date of request for examination] 13.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3106795

[Date of registration] 08.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94963

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.⁶

H 0 3 F 3/217

識別記号

庁内整理番号

8839-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平5-234521

(22) 出願日 平成5年(1993)9月21日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 今野 文靖

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小銀治 明 (外2名)

(54) 【発明の名称】 バルス幅変調増幅器

(57) 【要約】

【目的】 音響再生装置の出力を増幅する際に使用されるバルス幅変調増幅器に関し、出力オフセット電圧と出力雑音を低減した優れた特性のバルス幅変調増幅器を提供することを目的とする。

【構成】 演算増幅器1のマイナス端子側の抵抗17にコンデンサ24を接続し、このコンデンサ24の一端をアースに接続した交流増幅器とすることにより、オフセット電圧は利得に関係なく演算増幅器1固有のオフセット電圧まで減少し、高次雑音を減少させることができる。

1 演算増幅器

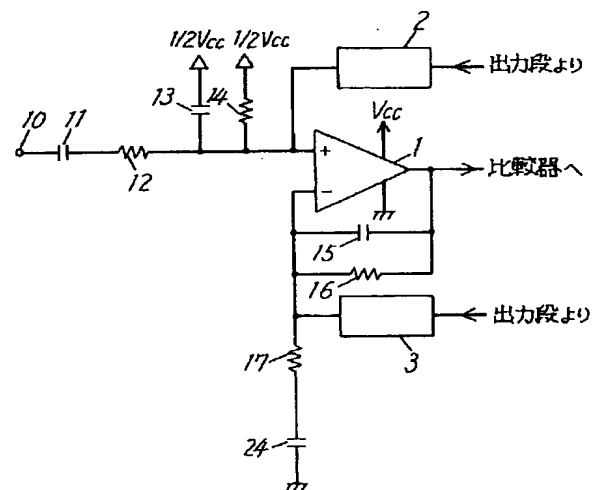
11, 13, 15, 24

2, 3 帰還回路

コンデンサ

10 入力端子

12, 14, 16, 17
抵抗



1

【特許請求の範囲】

【請求項1】 演算増幅器の出力と三角波発振器の出力とを比較する比較器と、この比較器の出力に接続された出力段FET駆動回路と、この出力段駆動回路の出力に接続されたHブリッジ接続構成の最終出力段FET駆動回路と、この最終出力段駆動回路の出力に接続された復調用フィルタと、これに接続される負荷と系全体に帰還をかける帰還回路からなるパルス幅変調増幅器において、入力段の演算増幅器のマイナス端子に接続された抵抗の一端をコンデンサを介して接地する交流増幅器としたパルス幅変調増幅器。

【請求項2】 帰還回路を構成する低域通過フィルタのコンデンサの一端を接地し、この他端をカップリングを介して演算増幅器へ帰還することにより、帰還回路と演算増幅器を交流結合した請求項1記載のパルス幅変調増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は音響再生装置の出力を増幅する際に使用されるパルス幅変調増幅器に関するものである。

【0002】

【従来の技術】従来のパルス幅変調増幅器について図面を用いて説明する。図4は従来のパルス幅変調増幅器の全体構成を示すブロック図であり、演算増幅器1を通した入力信号と三角波発振器4からの三角波を比較器5により比較してパルス幅変調信号を作り、これを出力段FET駆動回路6と最終出力段FET駆動回路7をドライブすることにより増幅し、フィルタ（低域通過フィルタ）8を通して復調されて負荷9に電力が供給されるように構成されている。

【0003】さらに、オーディオ回路として歪率、雑音などの改善のために負帰還をかけるが、このようなパルス幅変調増幅器の場合、発振周波数と同一の搬送波（以下、キャリアという）を除去した上で負帰還をかけるために帰還回路2および3内には低域通過フィルタを用いた構成としている。

【0004】図5は上記従来のパルス幅変調増幅器の演算増幅器1の周辺部を示した回路図であり、入力端子10より入力されてコンデンサ11を通過した信号が印加され、コンデンサ13、15と抵抗12、14、16、17により差動増幅器が構成されている。なお、上記コンデンサ13と15は高域制限用のコンデンサで20kHz付近の遮断周波数としている。また、出力段からは帰還回路2、3を介して演算増幅器1のプラス入力端子及びマイナス入力端子に接続されて構成されている。

【0005】図6は同じく従来のパルス幅変調増幅器の演算増幅器1及び帰還回路2、3を示したものであり、上記図5と同様に演算増幅器1とコンデンサ13、15と抵抗12、14、16、17で差動増幅器を構成し、

2

抵抗19、23とコンデンサ20、22で構成された低域通過フィルタによりキャリアを取り除き、抵抗18、21を介して演算増幅器1に帰還されるように構成されている。この際、キャリアを取り除くコンデンサ20、22のアース（ $1/2 V_{cc}$ ）と入力段差動増幅器の外付け抵抗14、17のアースとは共通したものであった。

【0006】

【発明が解決しようとする課題】しかしながら上記従来の構成では負帰還量を多くすると演算増幅器1の増幅度を上げる必要が出てくるが、増幅度を上げるとオフセット電圧が発生し、出力段に無視できない大きな値のオフセット電圧が現われるために好ましくないものであった。

【0007】また、帰還回路2、3内のフィルタが直流結合されているため（低域通過回路であるため）に比較器5以後の増幅段のオフセットも含まれ、十分に演算増幅器1のみのオフセット電圧を補正することはむずかしいものであった。

【0008】また、帰還回路2、3のフィルタのアースを入力段の演算増幅器1のアースと共通にして直流結合させるとキャリアが演算増幅器1にもれてくるため雑音が増加してしまうという問題も有していた。

【0009】また、上記図6に示した従来のパルス幅変調増幅器のキャリアの周波数は可聴帯域より高い周波数（63kHz）で使用されているものであり、しかも最終出力段FET駆動回路7のスイッチングノイズなども含まれてくるので雑音特性が悪化するという課題があった。

【0010】図7は図6に示した回路構成のパルス幅変調増幅器における最終出力段（図4の負荷9の両端）の電圧を周波数分析したものであり、この時の入力電圧は0で増幅器の残留雑音を分析しており、基本発振周波数63kHz以外に高調波成分が多く含まれ、可聴帯域内で影響しているのがわかる。

【0011】本発明はこのような従来の課題を解決し、出力雑音を低減した優れた特性のパルス幅変調増幅器を提供することを目的とするものである。

【0012】

【課題を解決するための手段】上記課題を解決するために本発明によるパルス幅変調増幅器は、演算増幅器を交流増幅器としたものである。さらに帰還回路と演算増幅器とを交流結合して帰還回路も交流のみを通す交流帰還の構成としたものである。

【0013】

【作用】この構成により演算増幅器の直流利得が1になるためにオフセット電圧はほとんど発生しない。

【0014】また、帰還回路を直流的に分離することによりアースパターンや回路インピーダンスなどでキャリアがもれることのない、安定した特性を得ることができ

50

【0015】

【実施例】以下、本発明によるパルス幅変調増幅器について図面を用いて説明する。なお、以下の説明では上記従来のパルス幅変調増幅器について図4～図6を用いて説明した部品と同じ構成の部品については同一の符号を付与し、その説明は省略する。

【0016】（実施例1）以下、本発明の第1の実施例によるパルス幅変調増幅器について図面を用いて説明する。

【0017】図1は同実施例によるパルス幅変調増幅器の構成を示す回路図であり、従来の図5の構成と異なるのは、演算増幅器1のマイナス端子側の抵抗17を中点電圧 $1/2 V_{cc}$ に接続せず、コンデンサ24を介してアースへ接続している点であり、この構成とすることによって演算増幅器1が交流増幅器となり、周波数が低くなるとコンデンサ24をC、抵抗17をRとした時の

【0018】

【数1】

$$f_c = \frac{1}{2\pi CR} \quad [\text{Hz}]$$

【0019】の高域通過フィルタとなって直流利得は1となり、オフセット電圧が最小に抑えられるようになるものである。

【0020】（実施例2）以下、本発明の第2の実施例によるパルス幅変調増幅器について図面を用いて説明する。図2は同実施例によるパルス幅変調増幅器の構成を示す回路図であり、従来の図6と異なるのは、帰還回路を構成する低域通過フィルタのコンデンサ20、22を直接アースへ接続し、カップリングコンデンサ25、26を介して演算増幅器1へ帰還している点であり、この*

10

20

*構成で出力電圧の周波数分析を行った結果を図3に示す。

【0021】図3から明らかなように基本周波数の洩れ以外に高調波成分の洩れがほとんどない良好な特性を示していることがわかる。

【0022】

【発明の効果】このように初段の演算増幅器を交流増幅器とすることによって出力オフセット電圧を減少させることができる。さらに帰還回路を交流結合とすることによって出力雑音を低減させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるパルス幅変調増幅器の構成を示す回路図

【図2】本発明の第2の実施例によるパルス幅変調増幅器の構成を示す回路図

【図3】同第2の実施例によるパルス幅変調増幅器の特性図

【図4】従来のパルス幅変調増幅器の構成を示すブロック図

【図5】従来のパルス幅変調増幅器の入力部の構成を示す回路図

【図6】従来のパルス幅変調増幅器の入力部及び帰還回路部の構成を示す回路図

【図7】従来のパルス幅変調増幅器の特性図

【符号の説明】

1 演算増幅器

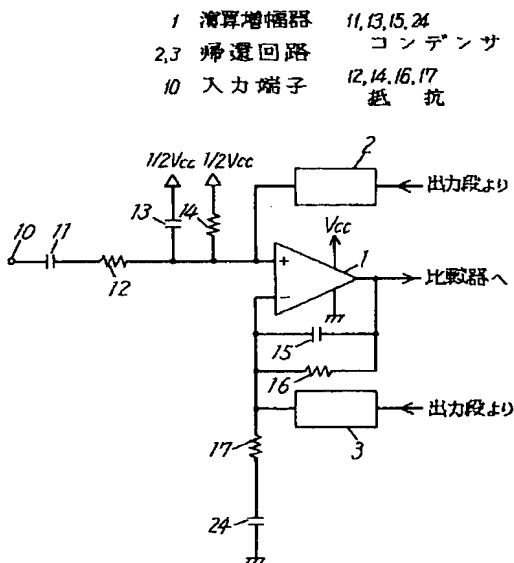
2, 3 帰還回路

10 入力端子

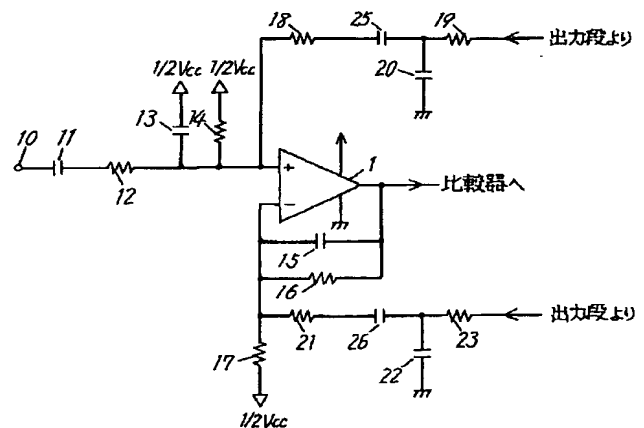
11, 13, 15, 24 コンデンサ

12, 14, 16, 17 抵抗

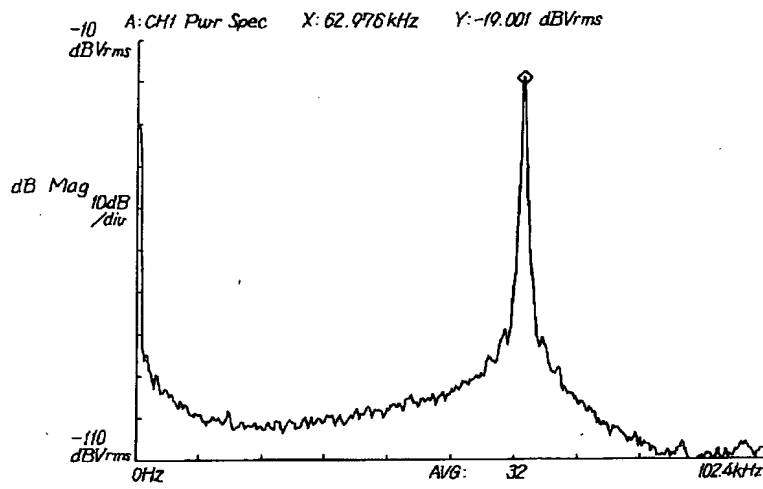
【図1】



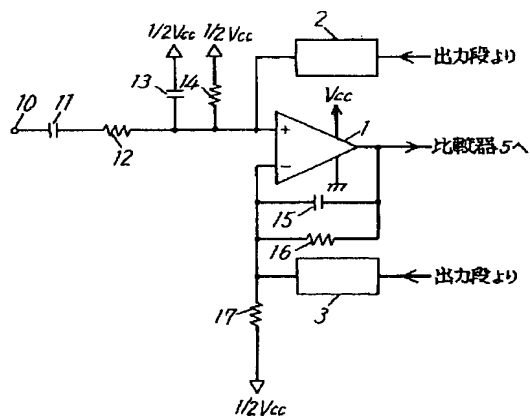
【図2】



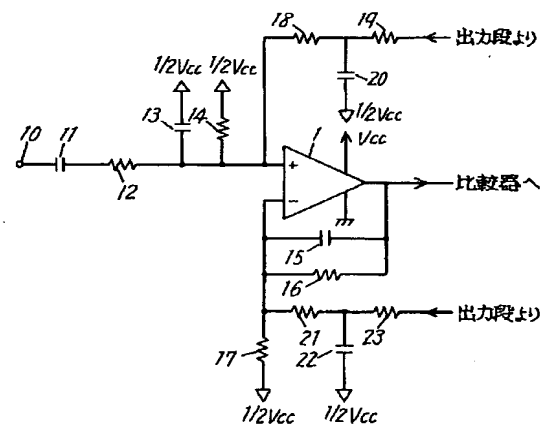
【図3】



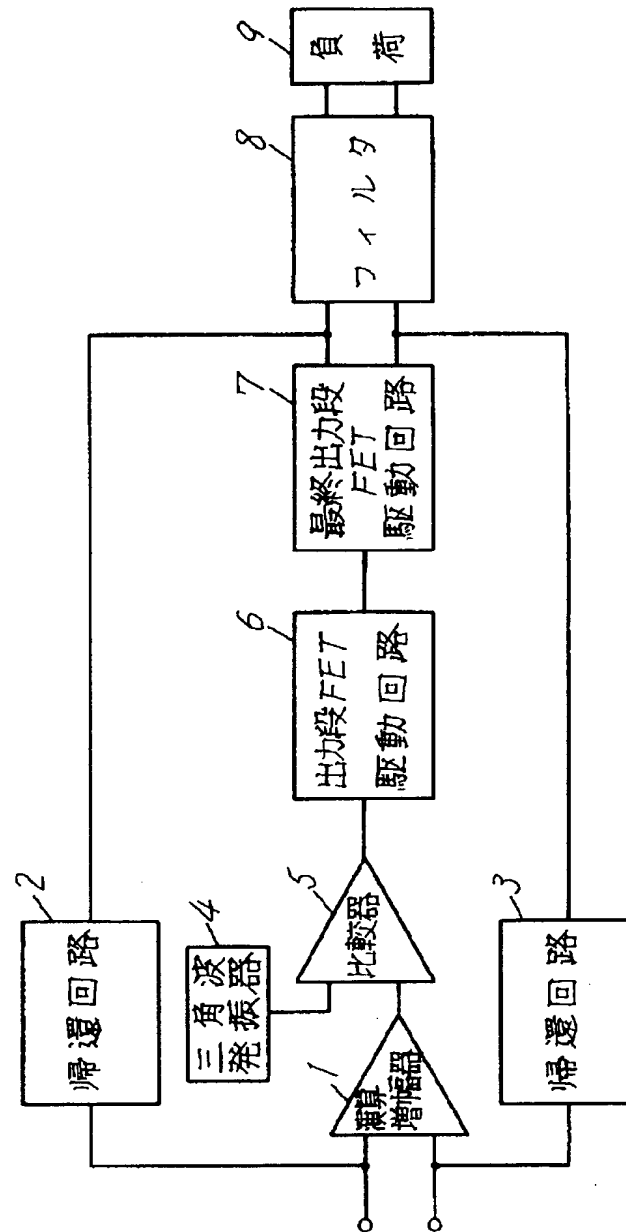
【図5】



【図6】



【図4】



【図7】

